

CTA 報告 120: CTA 大口径望遠鏡2号機以降の読み出し回路 開発と DRS4 チップのタイミング較正

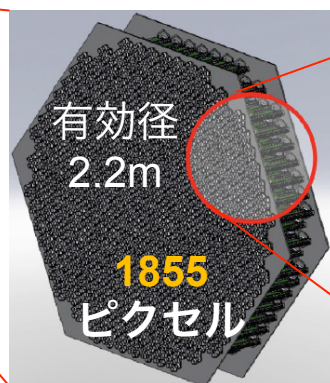
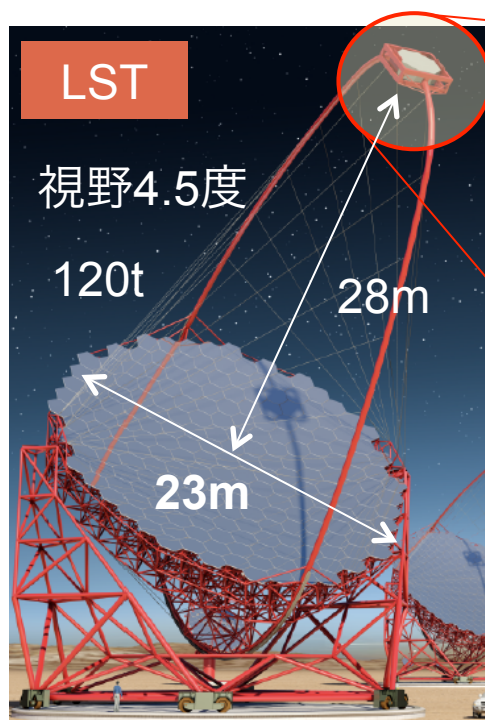
齋藤隆之^{A,B},

大岡秀行^C, 岡崎奈緒^C, 折戸玲子^D, 片桐秀明^E, 窪秀利^B, 郡司修^F, 今野裕介^B,
櫻井駿介^C, 武田淳希^F, 田中真伸^G, 谷川俊介^B, 手嶋政廣^{C,H}, 中嶋大輔^C,
中森健之^F, 野崎誠也^B, 増田周^B, 山本常夏^I, Daniela Hadasch^C, Daniel
Mazin^C, 他 CTA-Japan consortium,
池野 正弘^{G,J}, 内田 智久^{G,J}

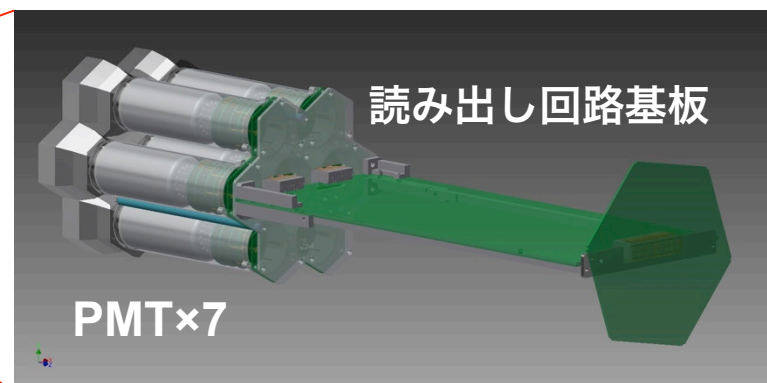
A:京大白眉, B:京大理, C:東大宇宙線研, D:徳島大理工, E:茨城大理, F:山形大理,
G:KEK 素核研, H:Max-Planck-Inst. fuer Phys., I:甲南大理工, J:Open-It

CTA大口徑望遠鏡(LST)

- 20GeV-1TeVに焦点を当てた口径23mの望遠鏡
- 南北サイトに4台ずつ設置し、全天観測
- LST初号機@北サイト(スペイン・ラパルマ)は今年11月にファーストライトを迎える



焦点面カメラ



PMTモジュール

焦点面カメラは1855ピクセル
LST1台あたりPMTモジュール×265個
1PMTモジュールあたりPMT×7個

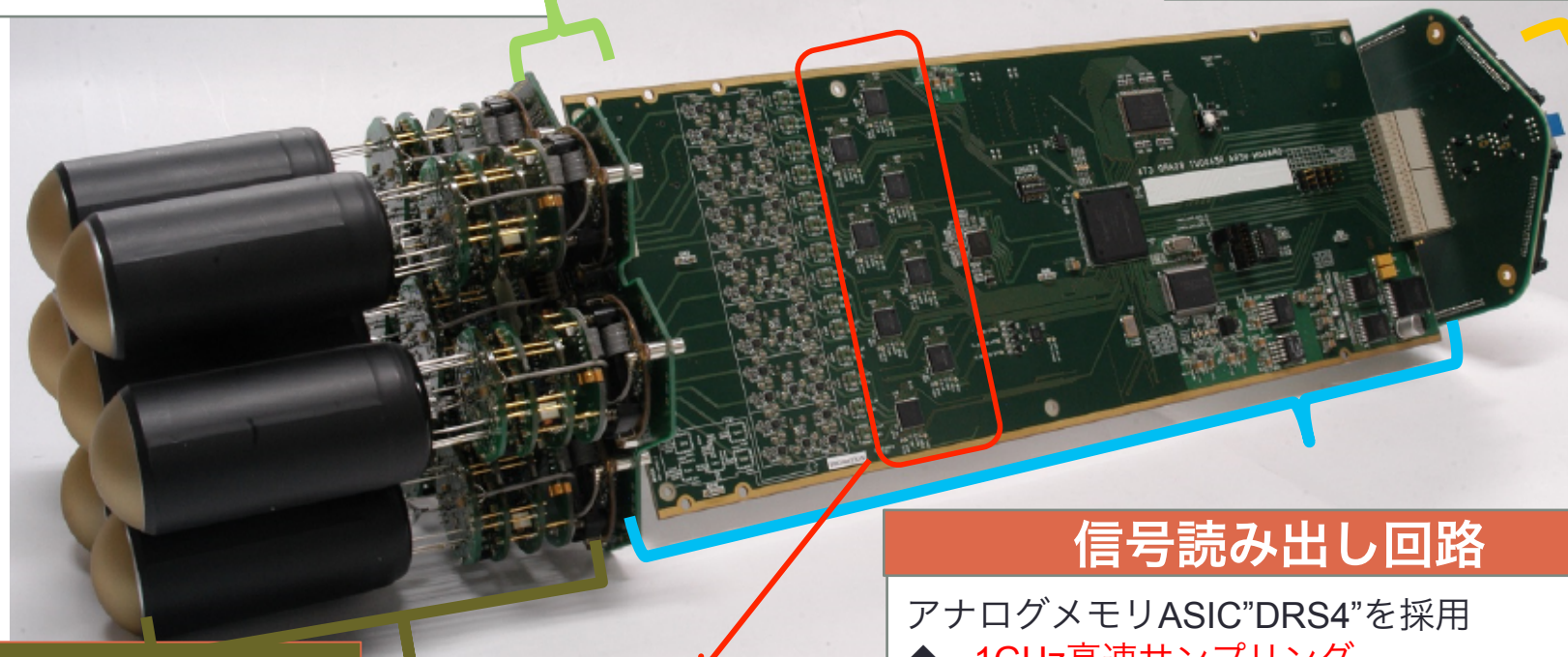
PMTモジュールの構成

スローコントロールボード

- PMT HV制御
- **テストパルス生成** etc...

バックプレーンボード

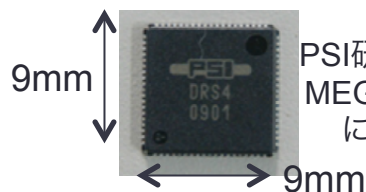
- 24V電源供給
- トリガー分配
- クロック分配



PMTユニット×7

- PMT(1.5インチ径)
- CW-HV
- プリアンプ

DRS4



PSI研究所が
MEG実験用
に開発

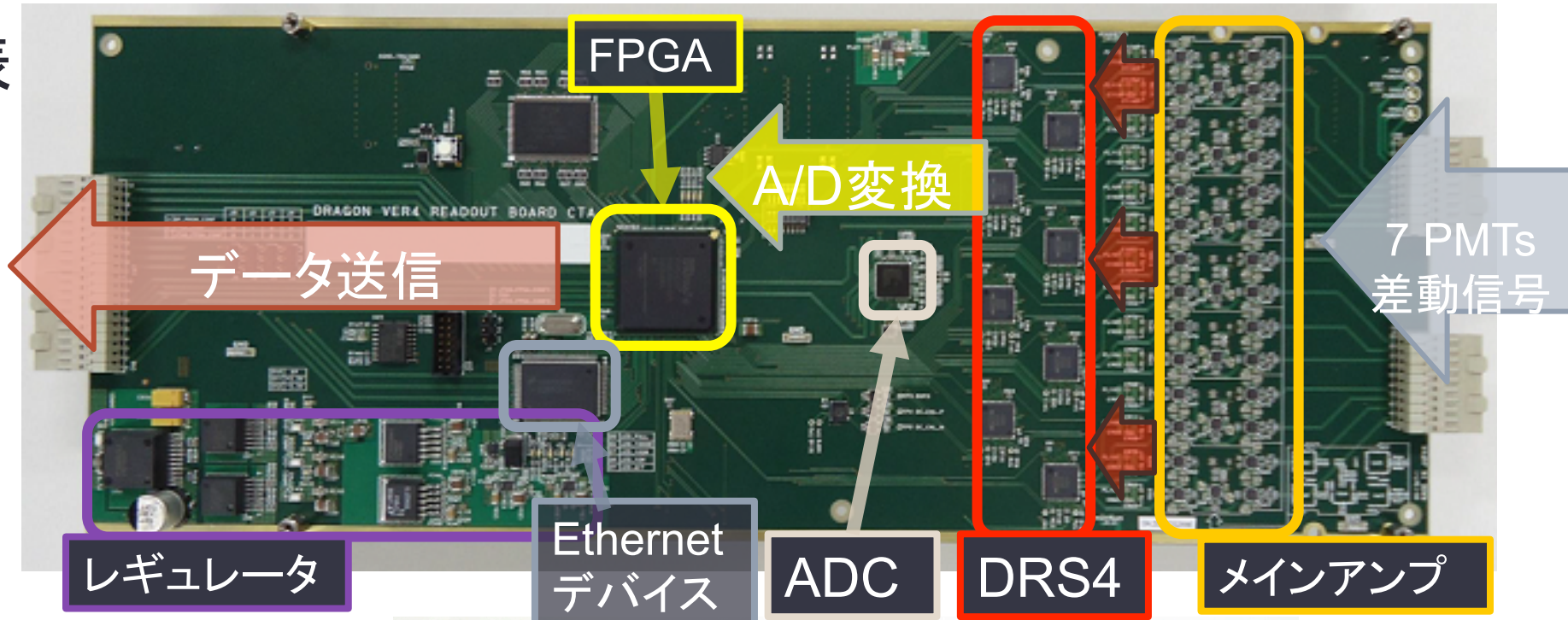
信号読み出し回路

アナログメモリASIC”DRS4”を採用

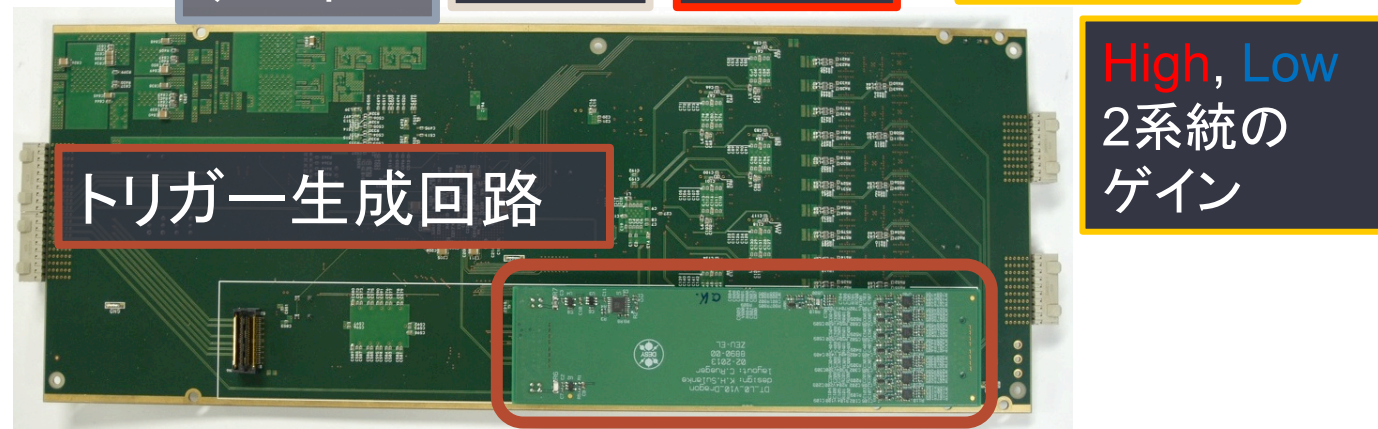
- ◆ **1GHz高速サンプリング**
→夜光バックグラウンドを効果的に排除
- ◆ アナログメモリと低速ADC読出し
→**低消費電力**(PMT1chあたり3W以下)
- ◆ メモリ深さ4 μ s

Dragon 回路構成(初号機用)と読み出しの流れ

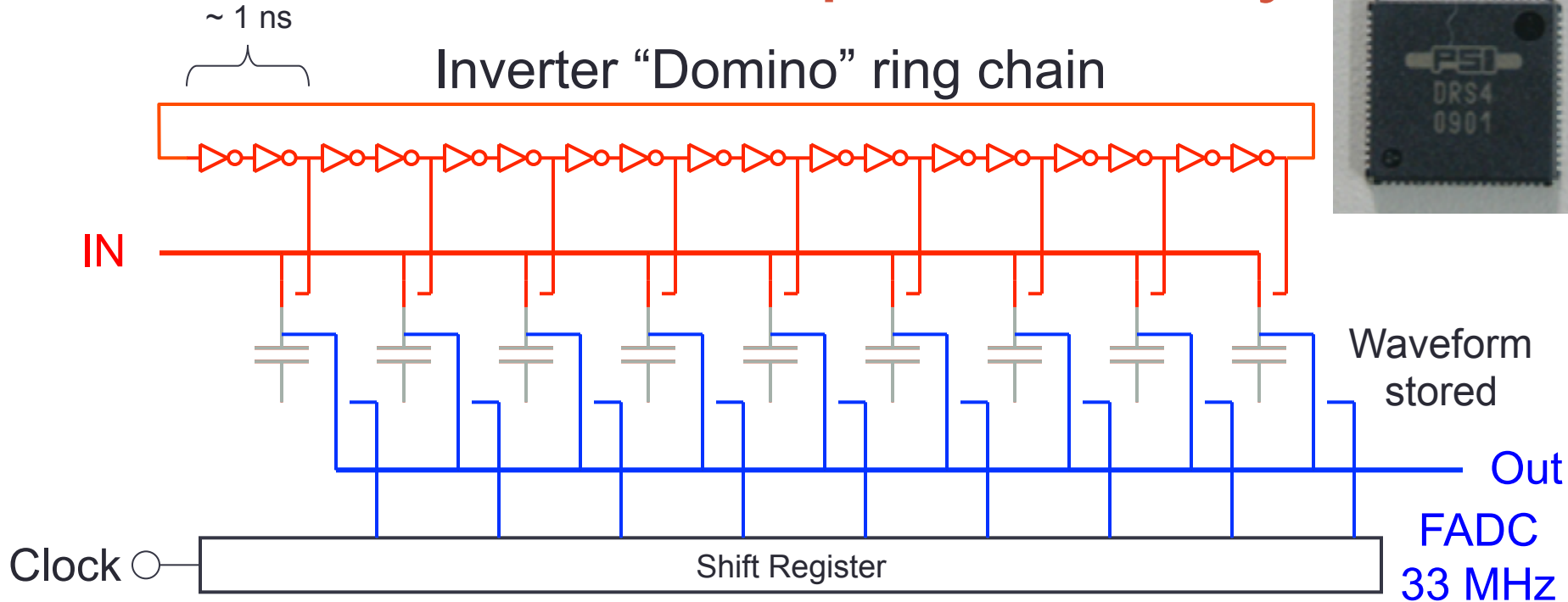
表



裏



DRS4: Switched Capacitor Array



GHz サンプリング → MHz デジタイゼーション

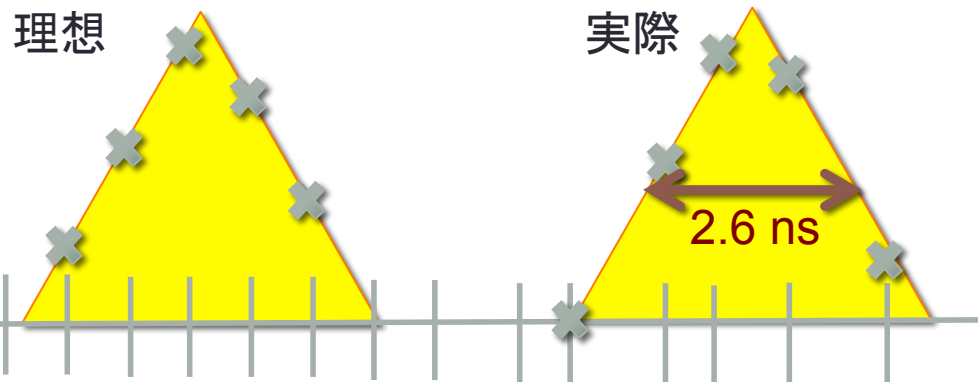
1 リング = 1024 キャパシタ

1 チップ = 8 リング

LSTでは、1PMTあたり4096 capacitor が用いられる (~4us バッファ)

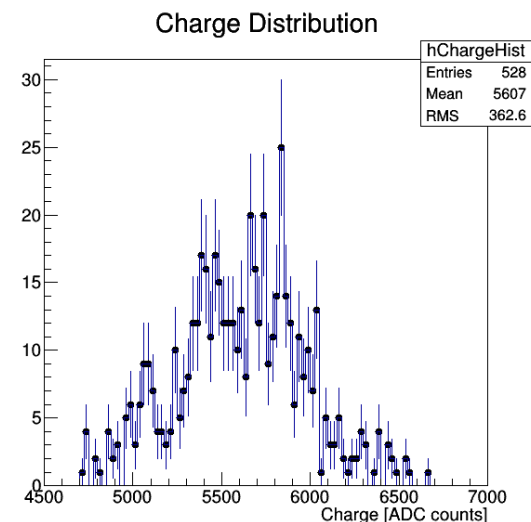
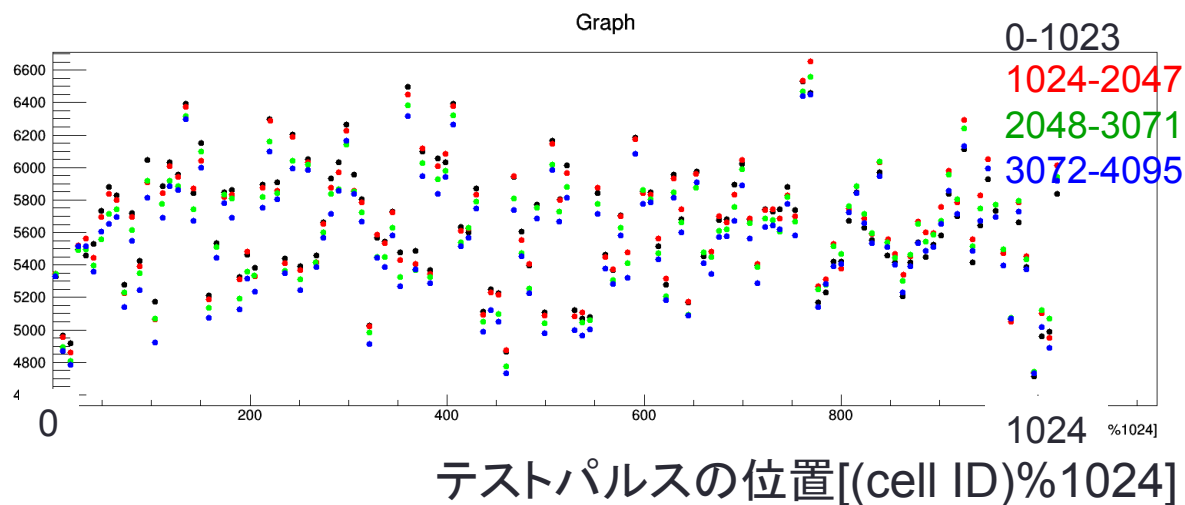
問題は、サンプリングが等間隔ではないこと！

テストパルス電荷 vs キャパシタID



等間隔だと思って電荷を計算するとキャパシタによって電荷が大きく異なる

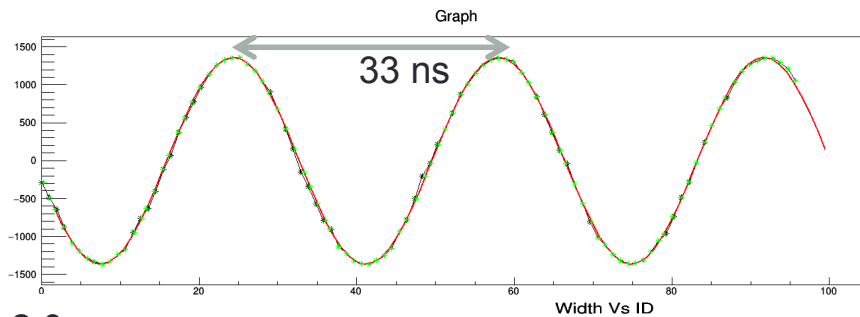
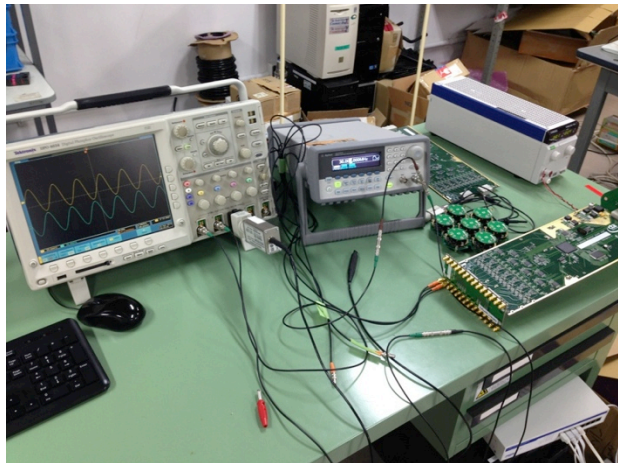
テストパルスの電荷



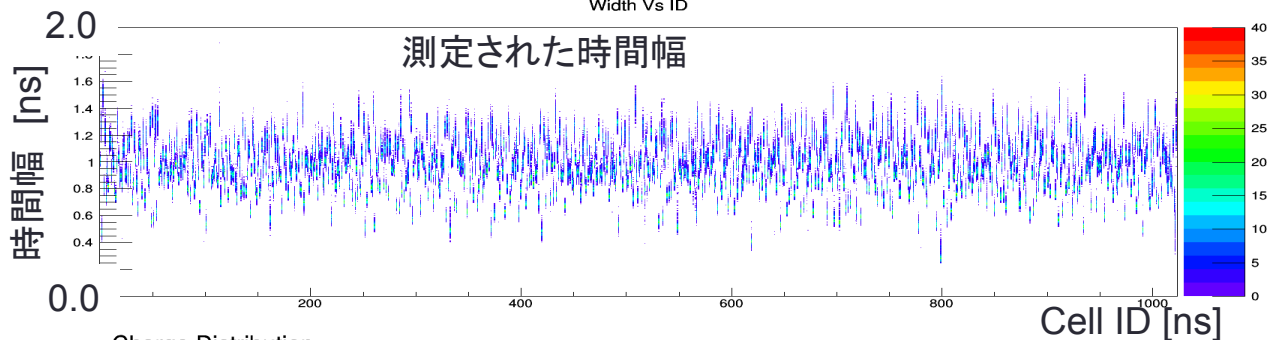
6%の揺らぎ

要求値 5%@1000 p.e. を満たさない。

サイン波を用いたサンプリング幅の校正

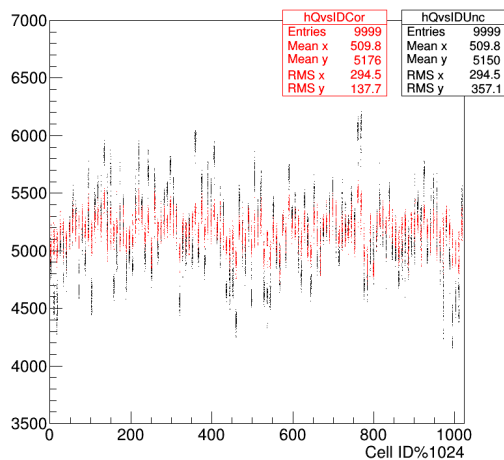


30 MHzのサイン波を注入
測定された各点の電圧値から、サンプリング時刻を測定

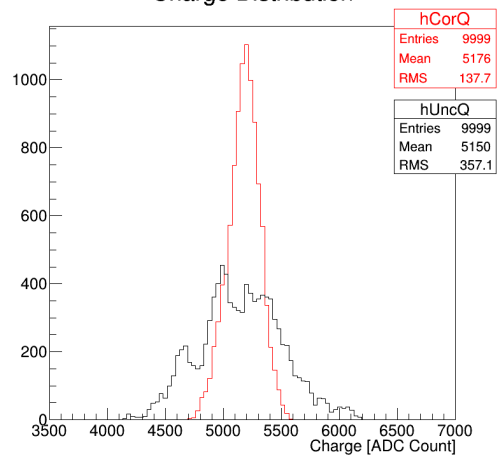


電荷

Q vs cell ID

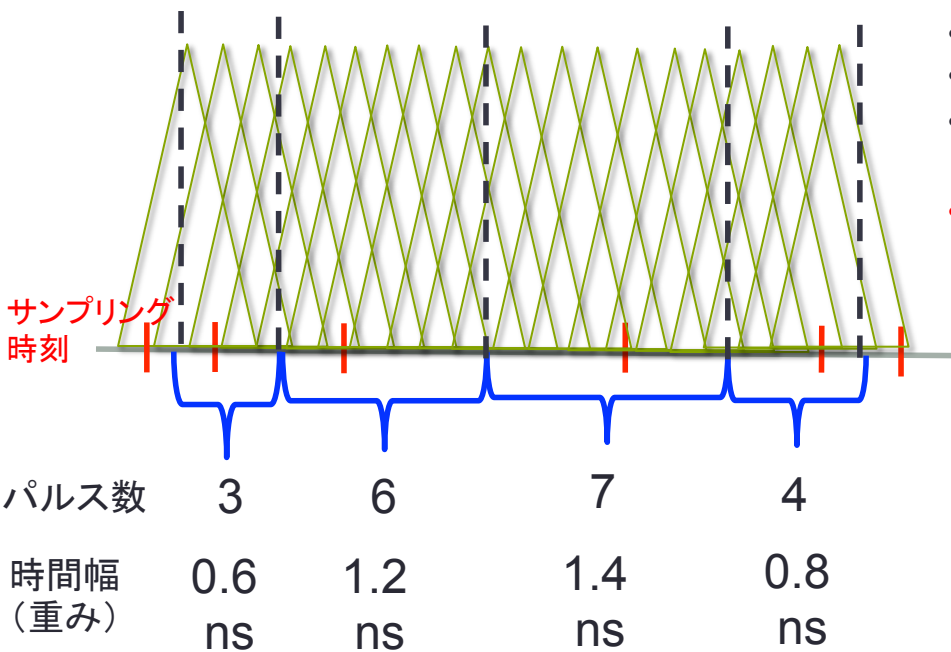


Charge Distribution

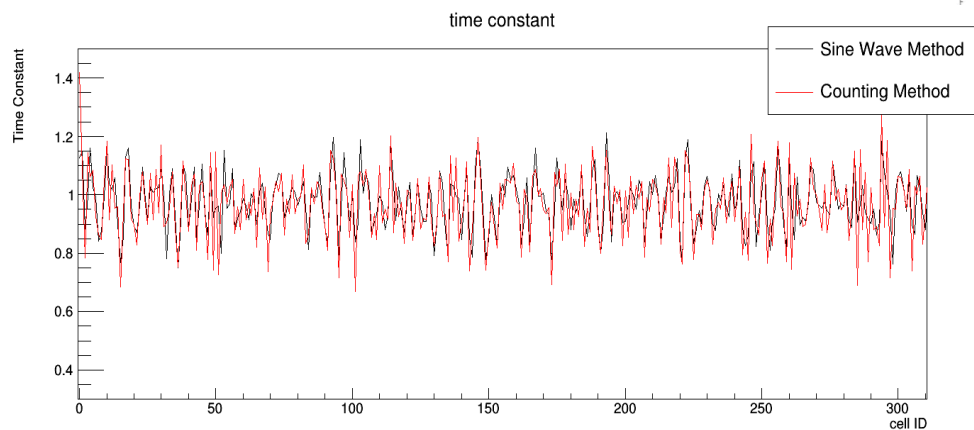
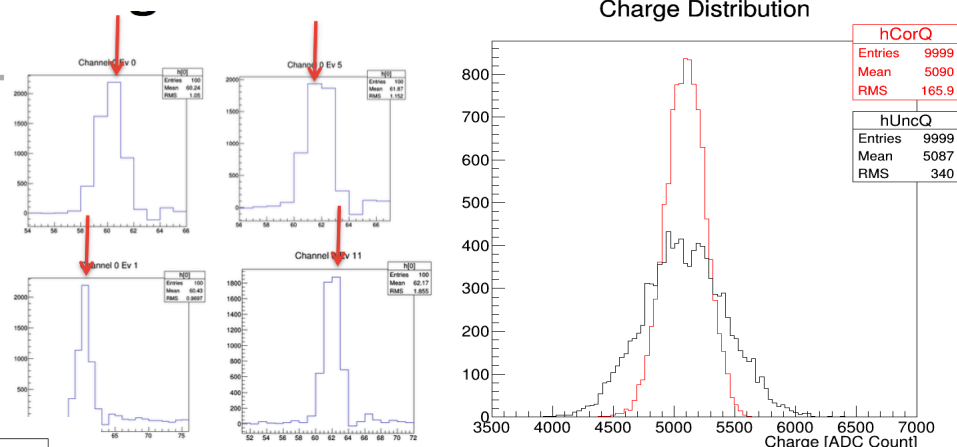


- 分解能が6%から2%に改善！
- しかし実験室でしかできない。望遠鏡にインストールしたあとでも校正がしたい。。。

テストパルスを用いた校正 (New Idea!)



- 大量に (~100万発) テストパルスを打ち込む。
- テストパルスのピークのキャパシタIDを記録していく。
- サンプリング間隔が広い場合、その前後のキャパシタがピークになることが増え、狭い場合減る。
- **テストパルスのピークが来る回数で、サンプリング幅の校正ができる!**

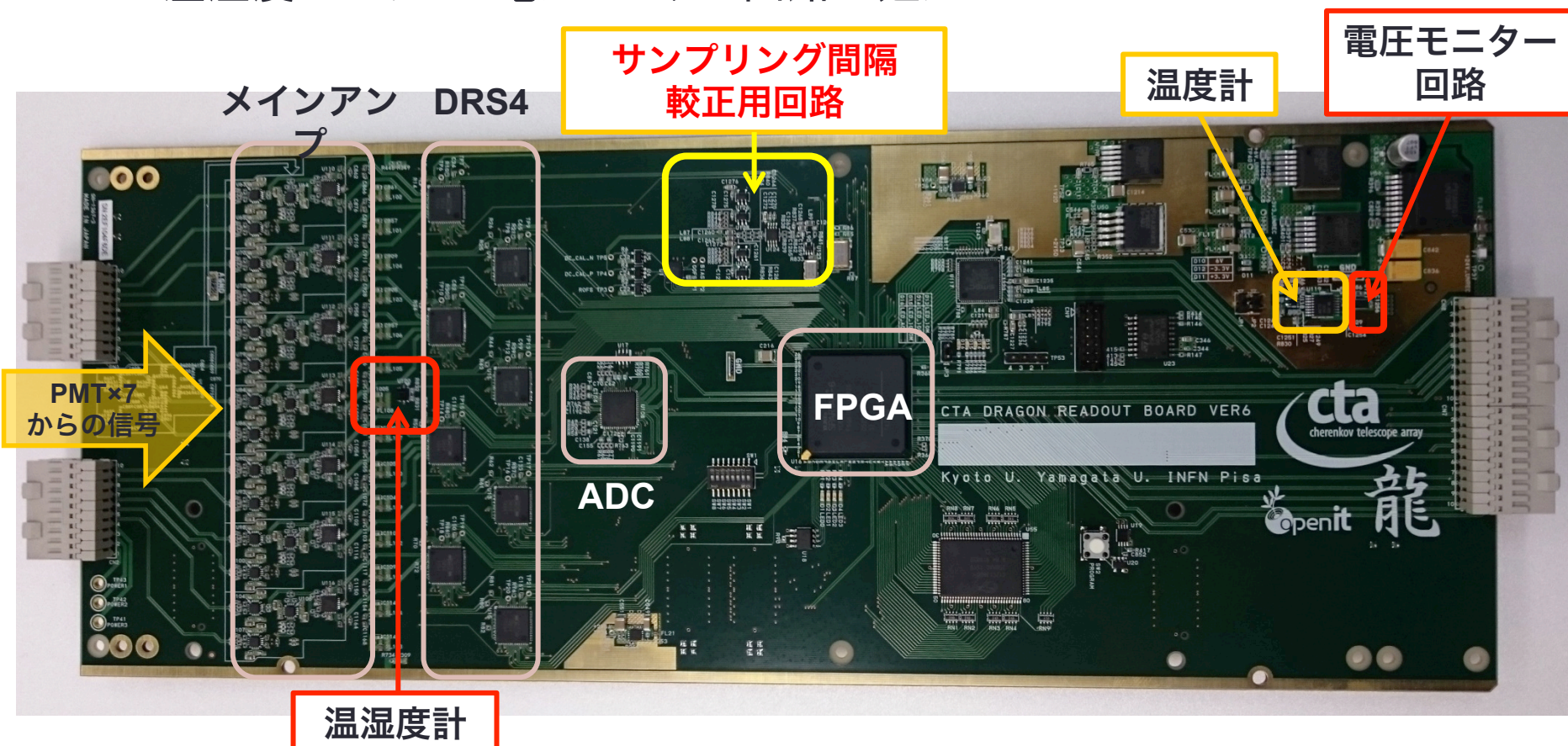


- サイン波を用いた方法とほぼ一致した結果!
- **望遠鏡に設置した後でもいつでもできる! 温度依存性、経年変化等も追える**

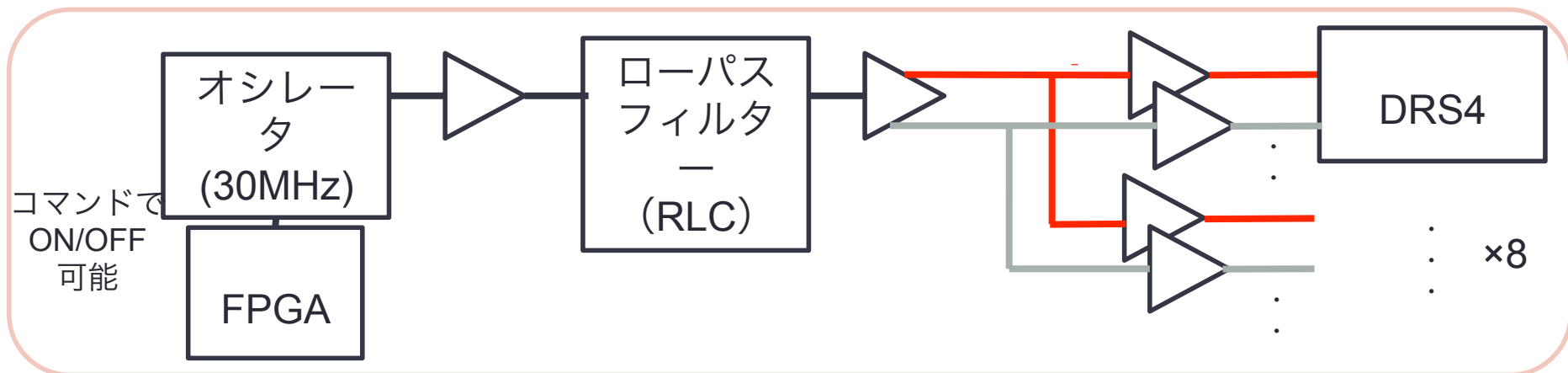
LST2号機以降用読出し回路の開発

by 京大M1野崎

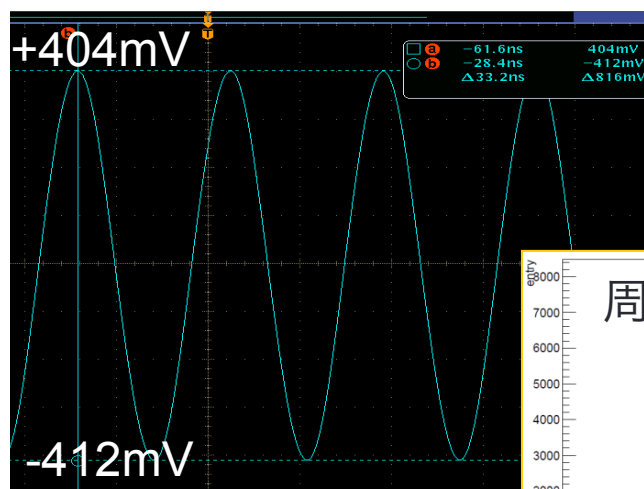
- LST2-8号機用の読み出し回路基板の試作機を作成し、試験中
- アナログメモリDRS4の**サンプリング間隔較正用回路**の追加
- 温湿度センサー&電圧モニター回路の追加



サンプリング間隔較正用回路

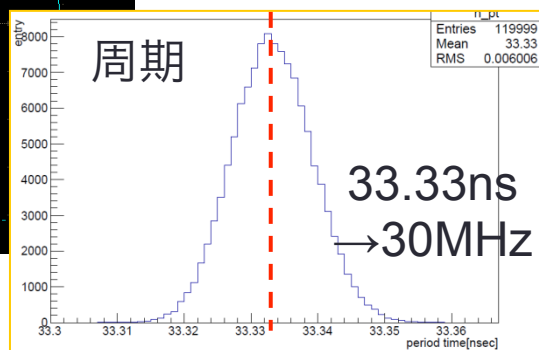


DRS4入力波形

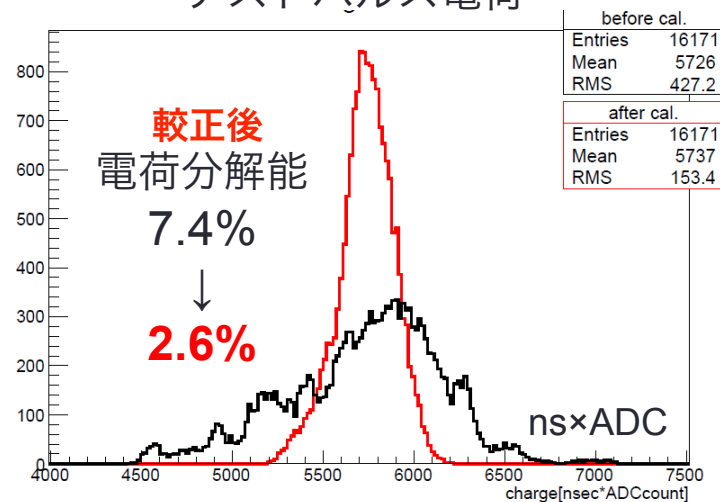


3次高調波成分まで含めてfit
-各成分の波高値-30M:

405mV
60M:0.66mV(0.4%)
90M:2.9mV(0.7%)

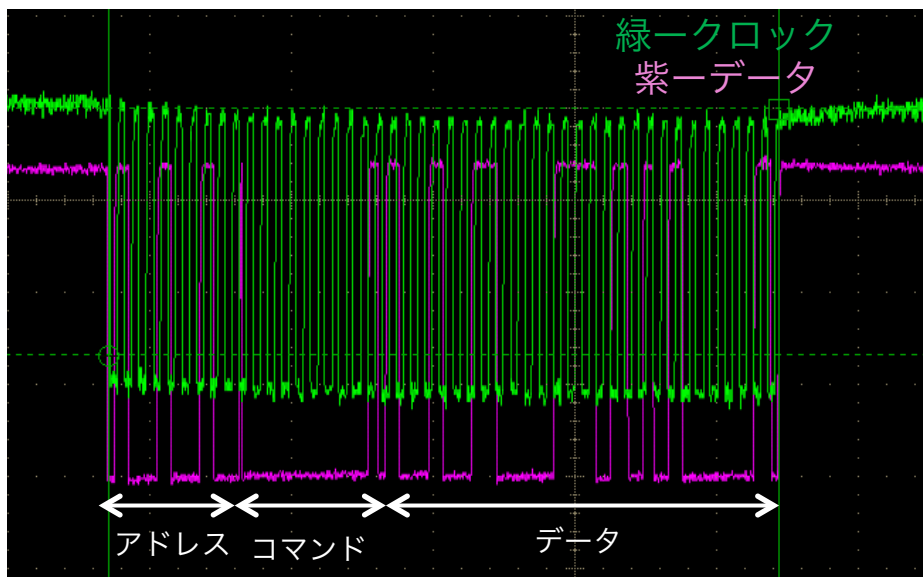


テストパルス電荷

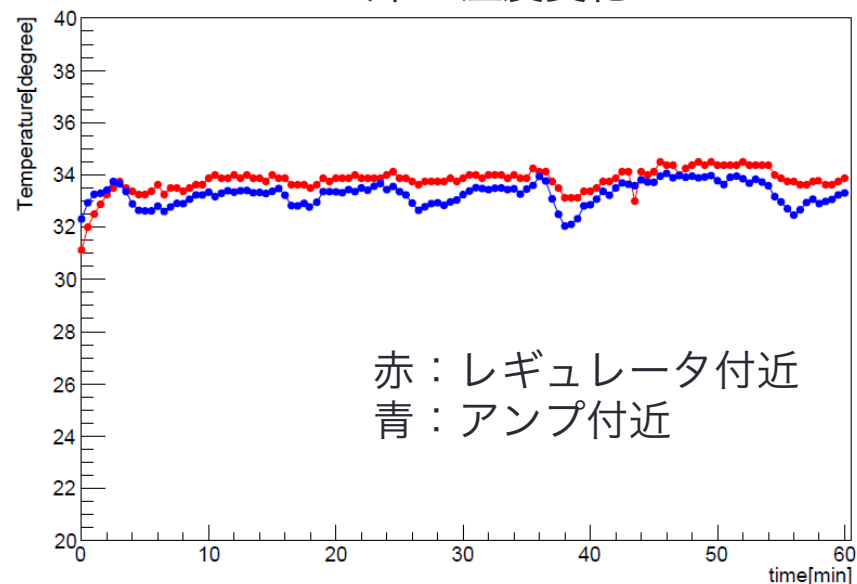


温湿度センサー&電圧モニター回路

- I2Cを使用し、FPGAを経由して温湿度、電圧情報を取得



DAQ中の温度変化



その他の変更点

- 基板上的LEDのON/OFF機構の追加
- FPGAデバッグ用ユニバーサルピン追加
- 24V用バイパスコンデンサのサイズ縮小
- 治具取付用穴の位置の修正 etc...

来年度中にLST2,3,4号機
(北サイト) 用基板を
約1000枚を量産予定

結論

- CTA-LST の信号読み出しには、低消費電力のDRS4チップが使われる。
- 1GHzで信号サンプリングを行うが、サンプリング間隔は一定でない。較正しないと電荷分解能が6%より悪い。
- サイン波で較正すると2%程度に改善
- **テストパルスを大量に打ち込むことでも較正可能。望遠鏡にインストール後でも較正可能**
- 二号機以降の読み出し回路には、サンプリング間隔較正用回路を搭載。
- 温湿度センサー、電圧モニターも追加。
- 現在試験中