

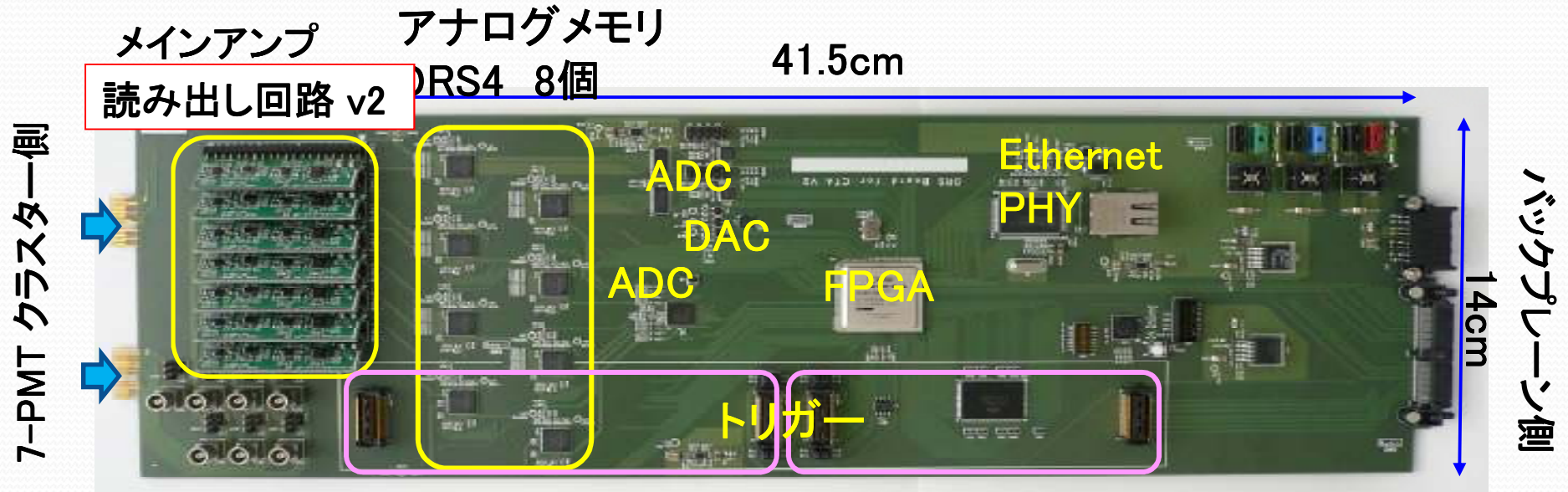
CTA報告35: CTA大口径望遠鏡 読み出し回路の開発

萩原亮太, 郡司修一, 青野正裕^A, 栗根悠介^A, 梅原克典^B, 榎本良治^C,
大岡秀行^C, 奥村暁^D, 折戸玲子^E, 片桐秀明^B, 株木重人^F, 窪秀利^A,
今野裕介^A, 佐々木美佳^B, 渋谷明神^D, 田島宏康^D, 田中真伸^G,
手嶋政廣^{C,H}, 中森健之^I, 日高直哉^D, 米谷光生^J, 他CTA-Japan Consortium,
池野正弘^G, 内田智久^G, 他 オープンソースコンソーシアム (Open-It)

山形大理, 京大理^A, 茨城大理^B, 東大宇宙線研^C, 名大STE研^D, 徳島大総^E,
東海大医^F, KEK素核研^G, Max-Planck-Inst. fuer Phys.^H, 早大理工^I, 広大理^J

前回の発表の概要

我々はLSTに向けた回路開発を行ってきた。



その主な仕様は、**300MHz**の周波数特性、**3000倍**のダイナミックレンジ、チャンネル当たり**2W**という低消費電力あること。前回の発表では、メインアンプとアナログメモリの試験結果を発表し、それらに加えて消費電力も仕様をほぼ満足している事を報告した。

今回の発表の趣旨・概要

1. アナログトリガーの試験結果

- CTAではトリガー方式の候補が2つある。一つはアナログ方式と呼ばれるもので、もう一つはデジタル方式と呼ばれるものであり、どちらが採用されるのかはまだ不明である。日本グループはどちらのトリガー方式が優れているのか試験する事を望まれている。
- 山形ではスペインのグループと協力して、試験が進んでいなかった**アナログトリガー**の試験を行っている。今回はまずこのトリガーの概要とテスト結果を報告する。

2. システムのインテグレーションに向けて

- 現時点では、様々なグループが分担して回路の開発を行ってきたそのため、多くのボードが存在し、それをコネクタで繋いでテストを行ってきた。しかし、本番に限りなく近いものを製作するフェーズに移行してきたため、回路のインテグレーションが行われ始めている。その現状と今後の方向性に関して、説明する。

アナログトリガーの概要

ガンマ線によるエアージェットからのチェレンコフ光は、10数nsec程度の時間幅で指向性を持って降ってくる。指向性を持っていれば一部のピクセルに集中的に光が集まるので、隣接した数個のクラスタにチェレンコフ光が同時に入る様なイベントを見つけ出す機能が必要となる。

✓1次トリガー

- クラスタが閾値を超えるチェレンコフ光を受け取ったかを判定

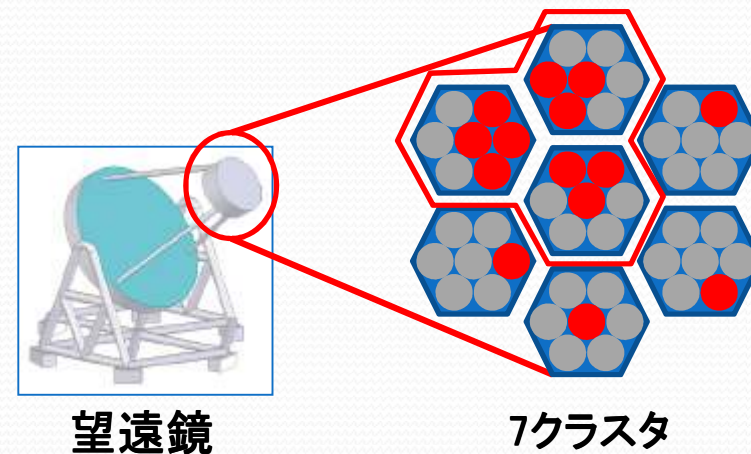
✓2次トリガー

- 1次トリガーの条件を満足したクラスタが隣接して存在しているかを判定。

1次トリガーには2つの方式がある。

- **Majority**: 閾値を超えるPMTが何本あるのかをアナログ的に出力
- **Sum**: クラスタに何フォトンの信号が入ったかをアナログ信号として出力

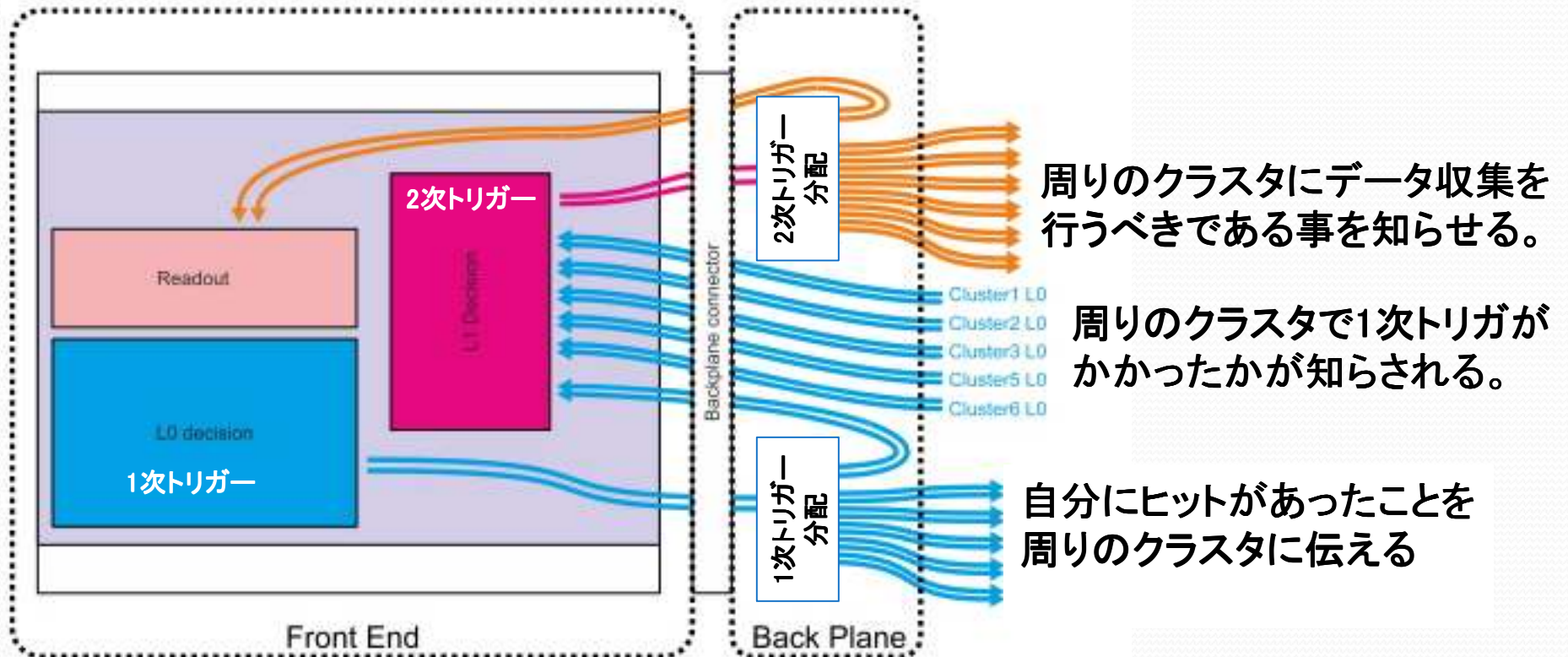
Sumトリガーの方が低エネルギーのガンマ線に対しても高い感度を持つという利点があるが、クラスタ内の7本のPMTの出力信号のタイミングのばらつきが激しいとうまく動作しない可能性がある。



トリガー信号の流れ

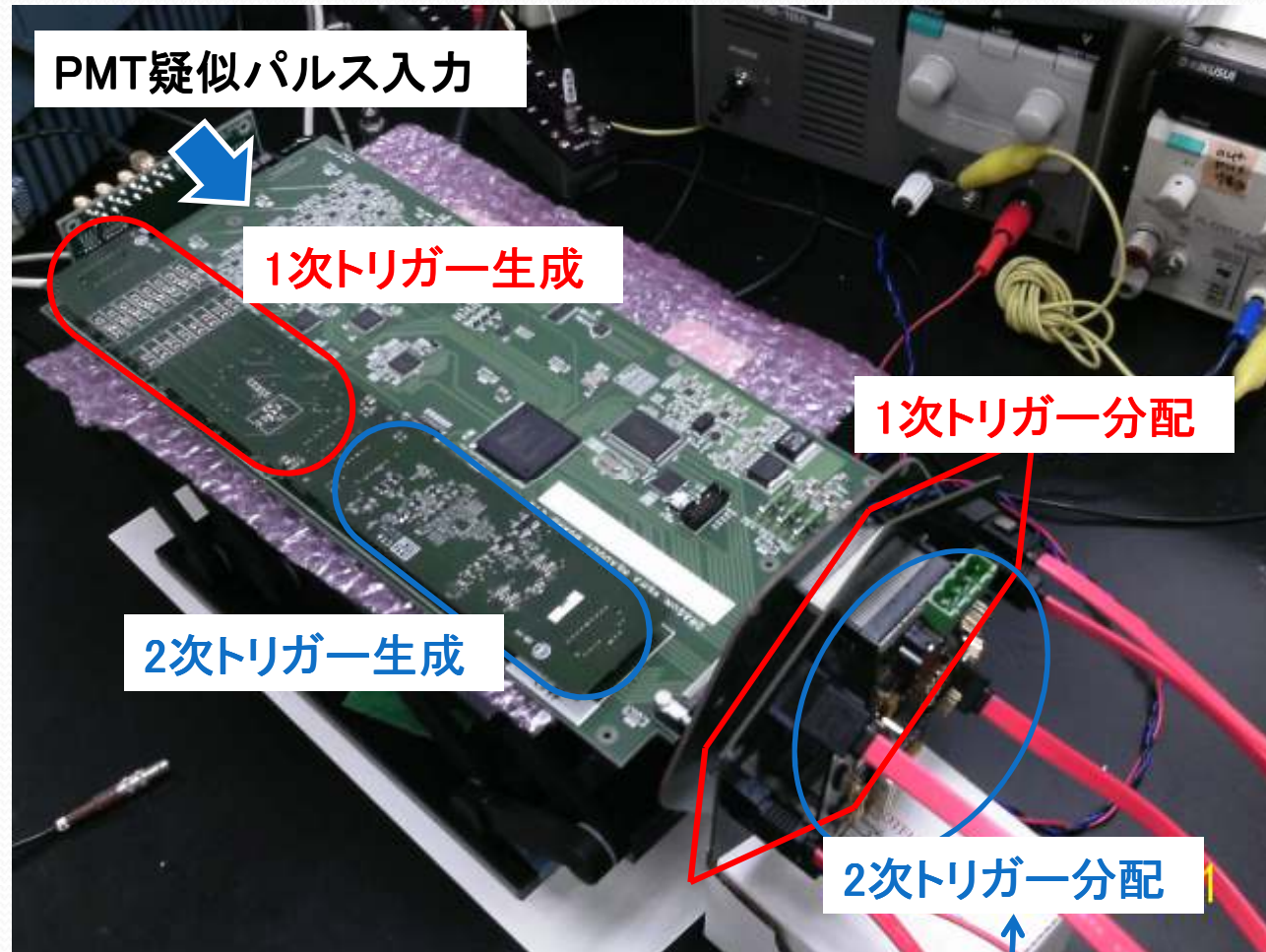
読み出し回路

バックプレーン



- 入力から2次トリガーまでの信号を追いかけて、回路が正しく動いているか
- それぞれのボードでどの程度ディレイが存在するか
- 1次トリガー内でPMT毎にどの程度のタイミングのばらつきが出るか

アナログトリガーの実験セットアップ



1枚のボードによる試験であるため、分配された1次トリガ信号を自分自身に戻すように配線している。

アナログトリガーの試験結果

アナログトリガー試験結果

✓1次トリガー生成回路

- ・ 回路に信号が入ってから出ていくまで、Majority方式では平均6.8nsec、Sum方式では6.1nsecかかる。
- ・ チャンネル毎のタイミングのズレがわずか0.3nsec未満

✓1次トリガー分配回路

- ・ 信号が入ってから出ていくまで6.5nsecかかった。

✓2次トリガー生成回路

- ・ 信号が入ってから出ていくまでに4.3nsecかかる。

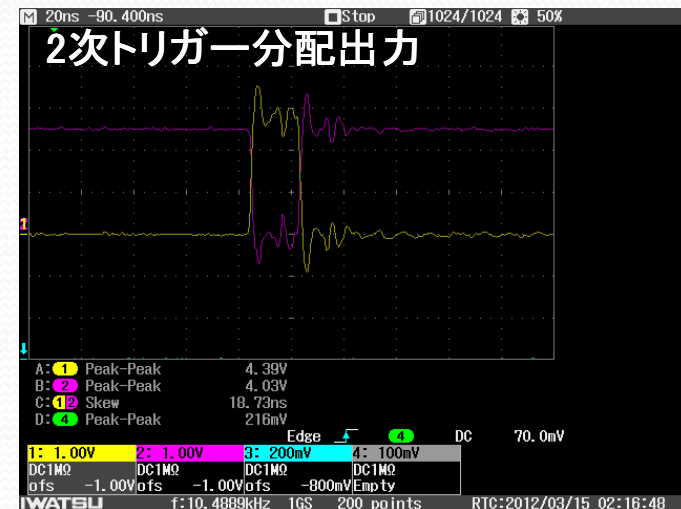
✓2次トリガー分配回路

- ・ 信号が入ってから出ていくまでに44.8nsecかかる。FPGAを経るため時間がかかる。

1次トリガー生成回路の入力から、
2次トリガー分配回路の出力まで
62nsec程度かかった。



複数クラスタ間通信の試験に移行



システムのインテグレーション

読み出し回路 v2

メインアンプは
吸収された



読み出し回路 v3

メインアンプ アナログメモリ
DRS4

ADC

FPGA

デジタルL0

アナログL0

アナログL1

7-PMT クラスタ側

136 mm

289 mm

-126 mm

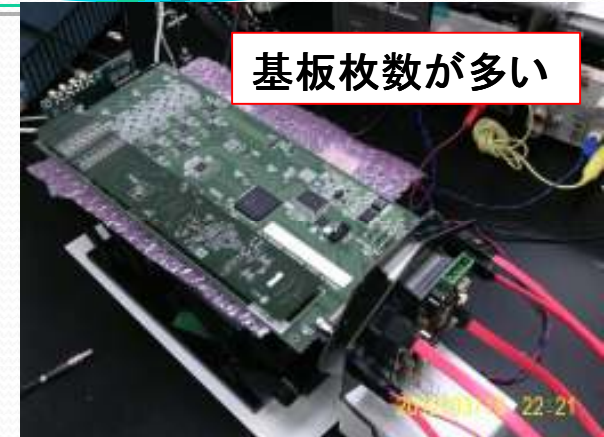
バックプレーン側

- ・テスト入力のLEMOコネクタを廃止
- ・FPGAを安価なものに交換

実際の望遠鏡搭載
に向けた設計

今後のインテグレーション予定

フロントエンドは読み出し回路に吸収されたが、トリガ生成回路は読み出し回路にまだ外付けされている。そしてトリガ分配回路もバックプレーンに、まだ外付けのボードとして乗っかっている。



今後の予定

1. トリガ生成回路を読み出し回路に吸収

今まで日本グループは読み出し回路を個別に開発し、トリガ関連は海外グループの回路を別途取り付けて使用してきた。しかしトリガ生成回路を読み出し回路に吸収するため、今後より密に海外と協力していく事になる。これからは**実際の望遠鏡搭載に向けたバージョンアップが効率よく進む**ことが予想される。

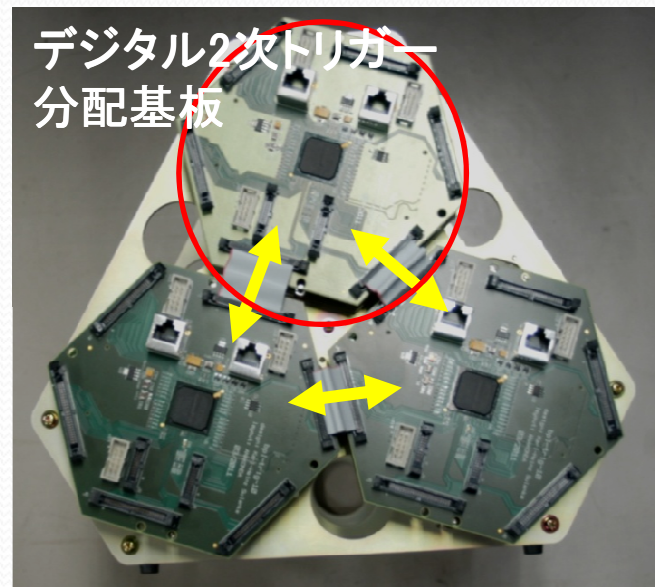
2. トリガ分配回路をバックプレーンに吸収

我々日本グループ(Dragon)と海外グループ(Nectar)は異なる方式で読み出し回路を開発してきた。しかし、今後さらに共通化できる部分は共通化することで**コストダウン**を行いたい。そのため、バックプレーンに関しては日本と海外で共通化しようと議論が**すでに始まっている**。

複数台クラスタによる総合試験へ

ミニカメラ

- ✓3クラスタで構成(PMT21本)
- ✓クラスタ間でのトリガー通信試験が可能



上の写真はver2の時で、満身に試験が出来ていない。現在はver3が完成して、さらに冷却システムも搭載出来るので、4月後半に行われるCTAのレビューに向けて、現在複数クラスタを使った総合試験を実施する予定

まとめ

まとめ

- ✓ 要求仕様(300MHzの周波数帯域、3000倍のダイナミックレンジ、2W/chの消費電力)をほぼ満たしたCTAの読み出し回路を開発
- ✓ 単体クラスタでのトリガー試験はアナログトリガーについては最後の信号まで確認
- ✓ トリガー生成回路やトリガ分配回路を読み出しボードやバックプレーンにインテグレーションしていく計画が現在進行している。
- ✓ **ミニカメラ**での試験
 - 3クラスタで構成(PMT7本×3)されたミニカメラを製作した
 - **クラスタ間**でトリガー情報の通信・波形読み出し試験