

CTA報告6: CTA読み出し回路の開発

青野正裕, 窪秀利, 郡司修一^A, 榎本良治^B,
奥村暁^C, 片桐秀明^D, 株木重人, 田島宏康^E,
田中真伸^F, 手嶋政廣^G, 中森健之^H, 萩原亮太^A,
山岡和貴^I, R. Paoletti^J 他 CTA-Japan Consortium
池野正弘^F、内田智久^F (オープンソースコンソーシアム)

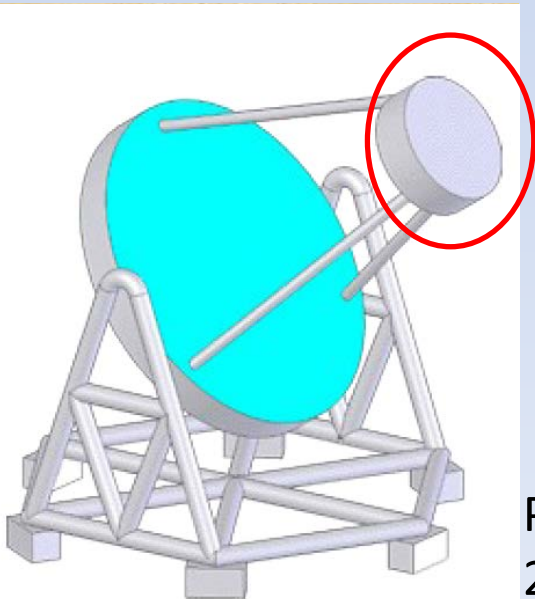
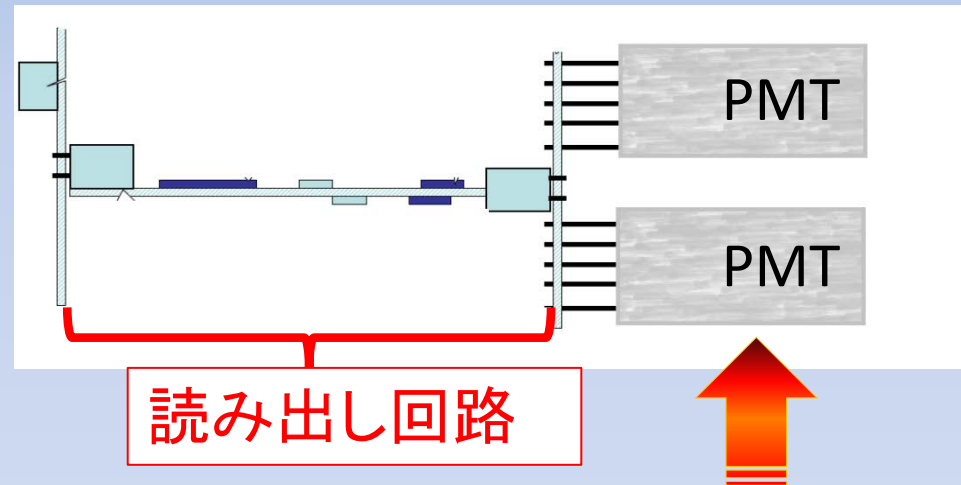
京大理, 山形大理^A, 東大宇宙線研^B, 宇宙研^C, 広大理^D,
KIPAC/SLAC^E, KEK素核研^F, Max-Planck-Institute for Physics^G,
早大理工^H, 青学大理工^I, INFN Pisa, Univ. Siena^J

目次

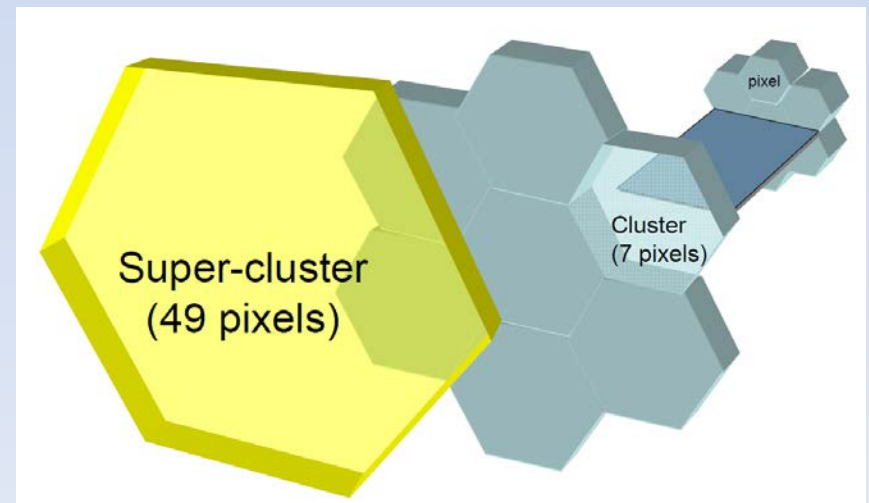
- エレクトロニクスグループの役割
- CTA全体の開発状況
- 日本における開発方針と現状
- 今後の方針

CTAにおける エレクトロニクスの役割

PMT出力信号の
高速読み出し回路の作成
トリガーロジックの構築



PMT本数
2300~3300(LST)



要求仕様

チェレンコフ光を捉えたときのPMT信号は短いと数ns
波形サンプリングの必要性(夜光バックグラウンド除去)

→ サンプルングレート: 300Msps ~ 2Gsps
帯域幅: 300MHz

広いダイナミックレンジ(5000photo-electron)や
発熱を抑えるため低消費電力(2W/PMT)も必要

他にも望遠鏡間でトリガーを合わせる間(数 μ s)
波形を保持する機構や最大トリガーレート10kHz等が
要求されている。

CTA全体の開発状況

複数の開発が並行に進んでいる

波形のサンプリング方式

- ・アナログメモリ方式(キャパシタアレイ)
HESS採用ASICの改良版
MAGIC採用ASICの改良版
AGIS用に開発されたASIC
- ・Flash ADC方式

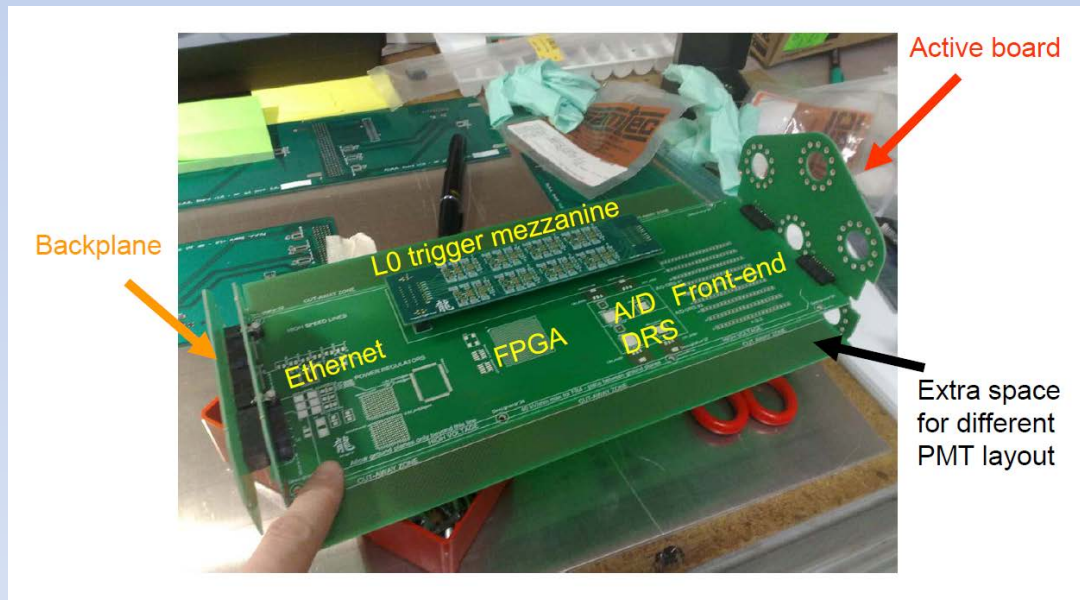
しかしまだPMTから波形データ出力まで完成されたシステムができていない

CTA-JAPANはこの方式を採用して
エレクトロニクスを開発を行う

(アナログメモリは低コスト、低消費電力)

CTA-JAPAN 開発方針

- ・イタリアで先行開発しているボードを日本独自に改良
- ・日本で設計しているPMTアッセンブリに対応

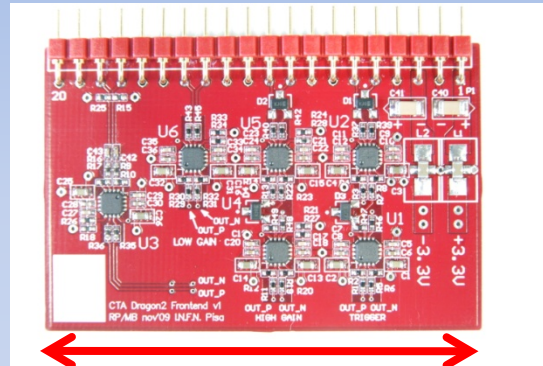


イタリアグループ
が設計中のボード

日本はCTA全体の中で最初に
PMTから波形データの転送までのシステムの試作
を目指す

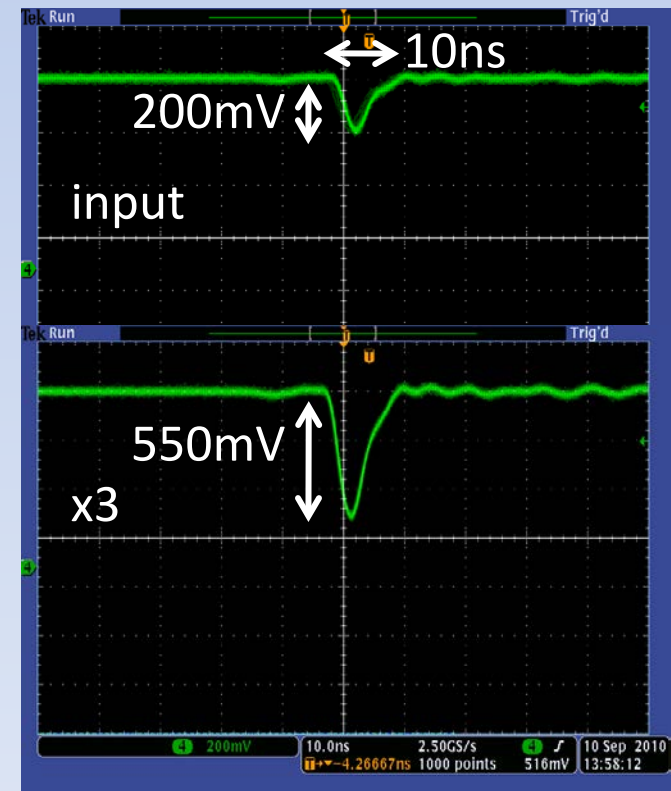
メインアンプ(イタリア版)

カードタイプ
PMT1本に対して
1枚必要

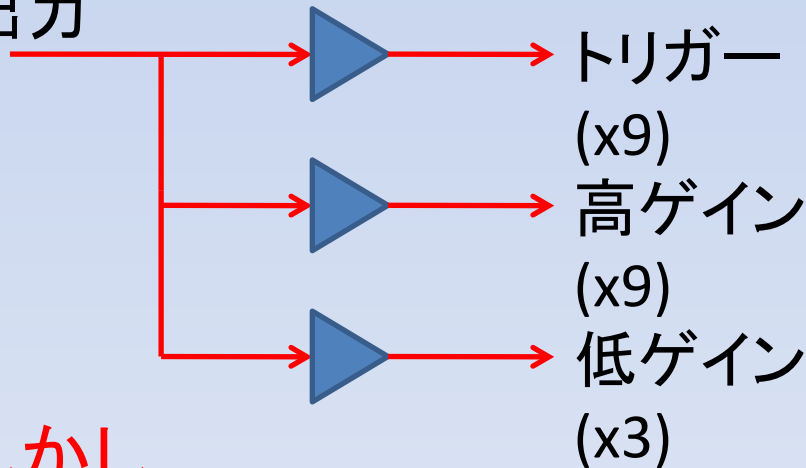


5cm

テストパルスで試験



プリアンプ
出力



しかし

消費電力が大きい
(860mW/PMT) → メインアンプ
改良の必要性

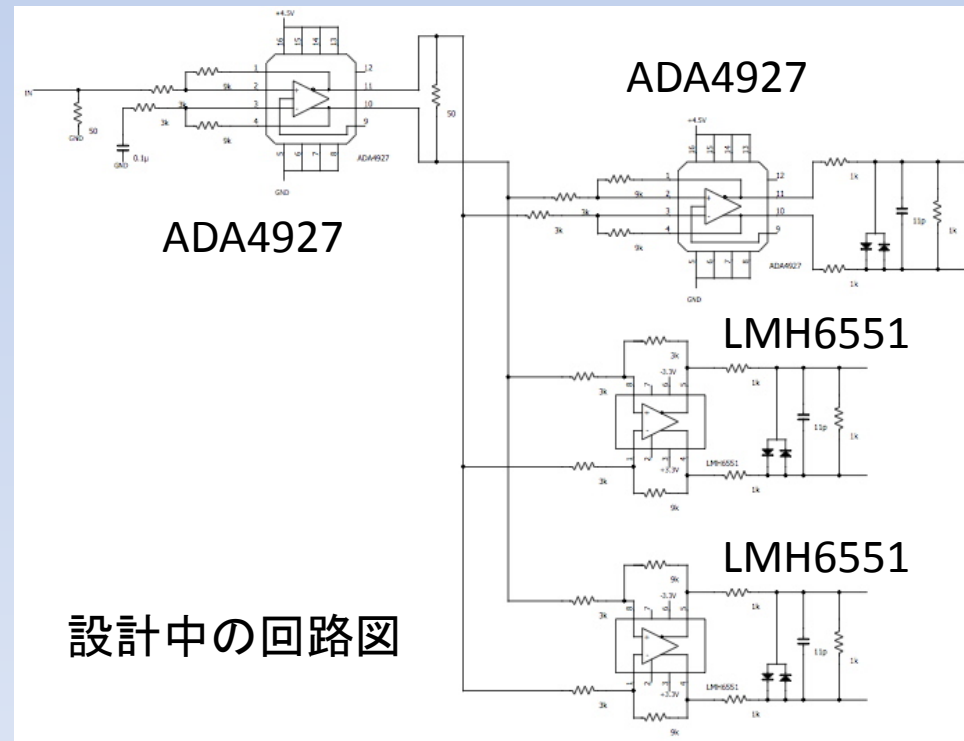
メインアンプ(日本版)

イタリア版の回路で消費電力が大きくなる理由は、使っているオペアンプのスペックが非常に高いため

増幅をほとんど行わない
低ゲインと波形にシビアでない
トリガ用は低消費電力のもの

ADA4927 : slew rate : 5000V/ μ s
bandwidth : 2300MHz
power : 150mW

LMH6551 : slew rate : 2400V/ μ s
bandwidth : 370MHz
power : 80mW



860mWから600mW程度には電力を下げる。

11月には実際のボードができてくる予定。

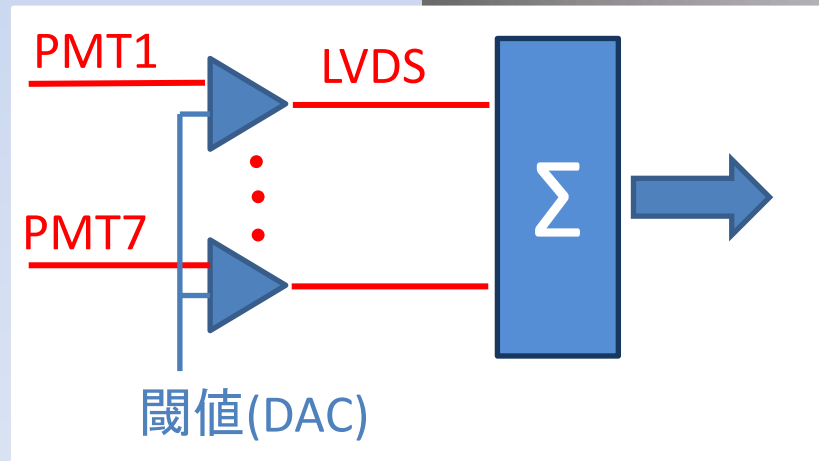
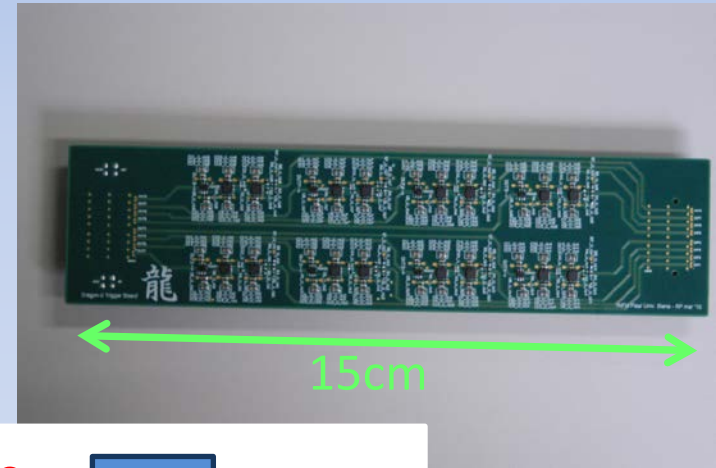
トリガー生成回路 (イタリア版)

1枚でPMT8本に
対してトリガーを生成

閾値はDACで個別
に設定可能

トリガーロジックは
FPGAで行う

部品実装が完了



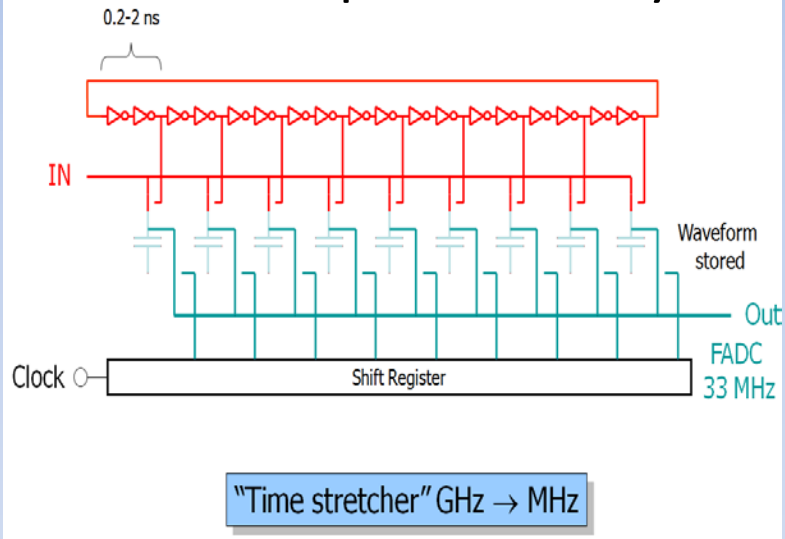
近日中に日本で
動作試験

アナログメモリ (DRS4)

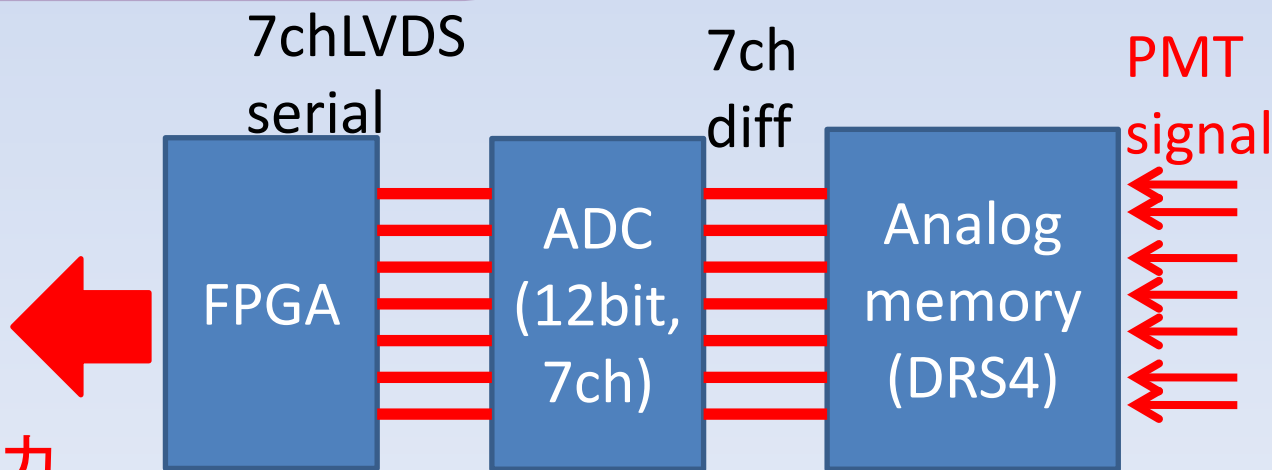
DRS4とは

- PSIで開発された Switched Capacitor Array(SCA)のASIC
- 1024cells x 8ch, daisy chain接続可能 (2Gspssで512ns分の情報を蓄積)
- 20mW/ch
- MEG実験で使用された実績あり

Switched Capacitor Array



ギガビット
イーサネットで出力



DRS4性能と試験結果

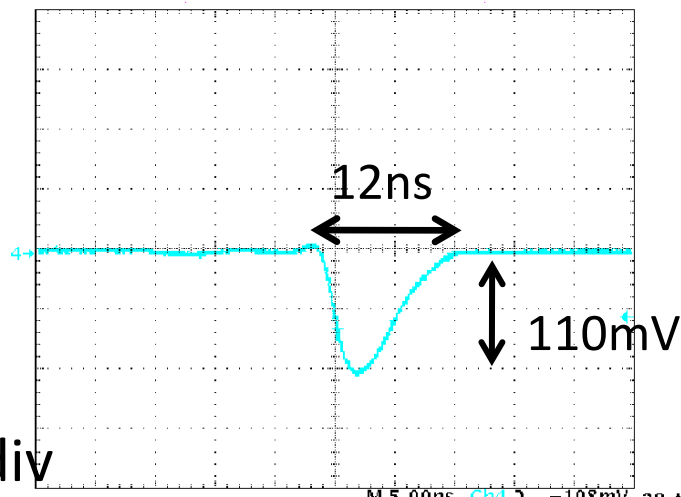
性能(データシート値)

サンプリングレート	: 700Msps ~ 5Gsps
帯域幅	: 950MHz
読み出し速度	: 33MHz
有効ビット数	: 11.5bit

DRS4評価ボードの試験結果

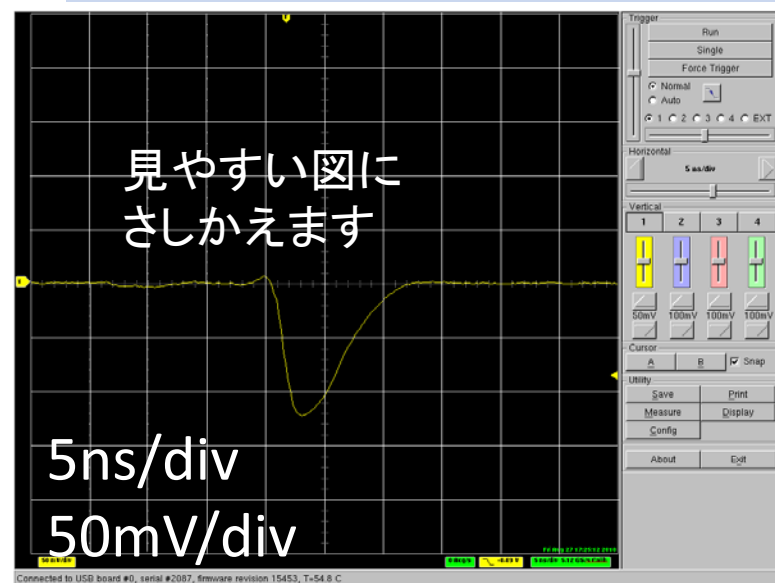


Tek Stop Single Seq 5.00GS/s ET



5ns/div
50mV/div

入力パルス



見やすい図に
さしかえます

5ns/div
50mV/div

出力パルス

*1 PHILLIPS MODEL 417

消費電力(Datasheet値)

プリアンプ	1.7mW
メインアンプ	4.2mW
トリガー生成回路	2.5W
DRS4+ADC	3W
FPGA	4Wと仮定
<hr/>	
Total	15.4W/7PMT

→ 2.2W/PMT

要求仕様(2W/PMT)に近い値となる

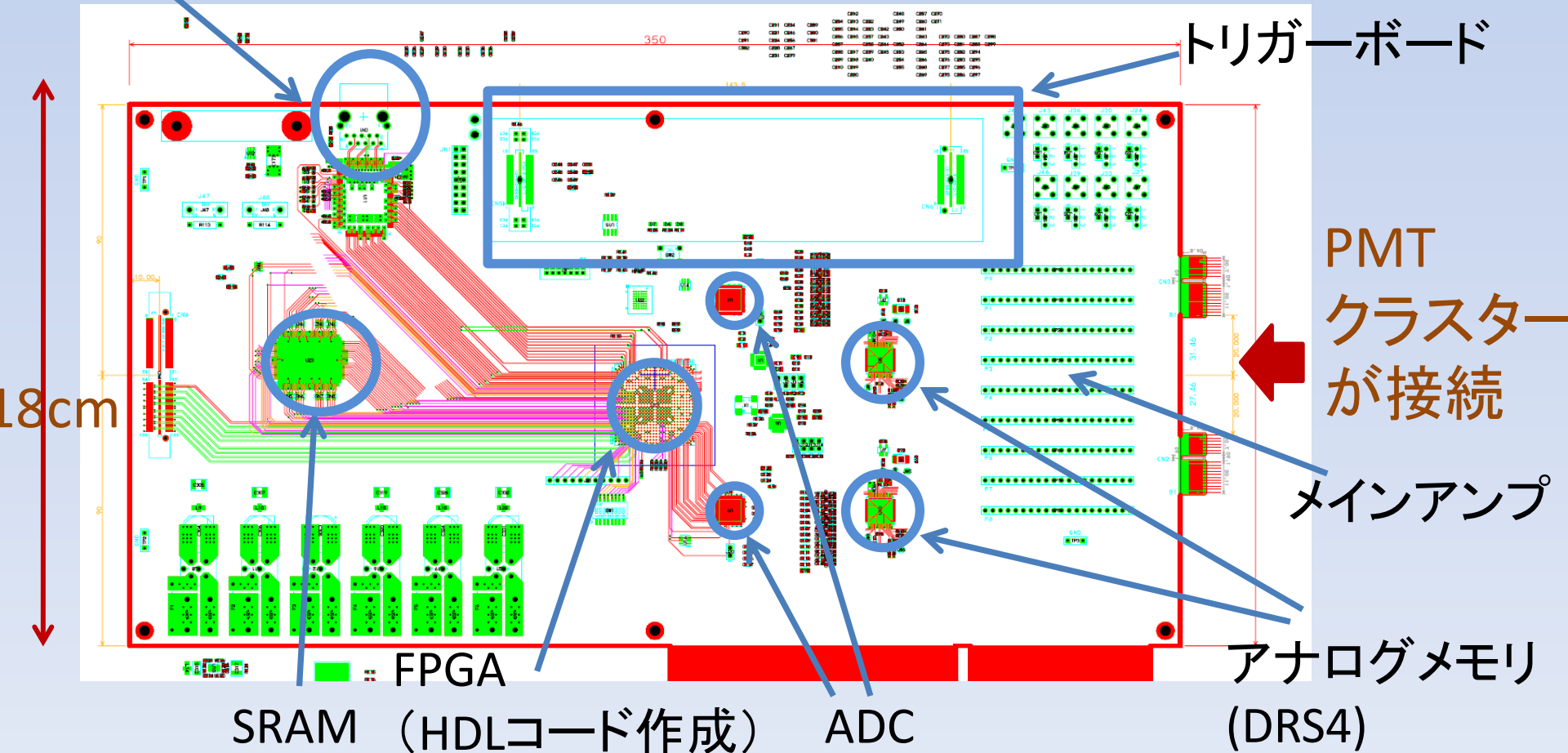
読出し回路の開発現状

レイアウト図面を作成中

イーサネット

→ 10月に基板作成完了

35cm



まとめと今後の予定

アナログメモリを用いた
高速なPMT読出し回路を開発

現段階で...
[メインアンプ: 日本版が設計完了
トリガー生成回路: 完成済、近日中に試験
読み出し回路: レイアウト図面作成中

出来上がり次第、順次動作・性能試験



**PMTから波形データ出力まで完成したものを
CTA全体の中で最初に発表する**

今後CTA全体の要求仕様が確定するに従い
それに向けた次のバージョンを設計・作成していく